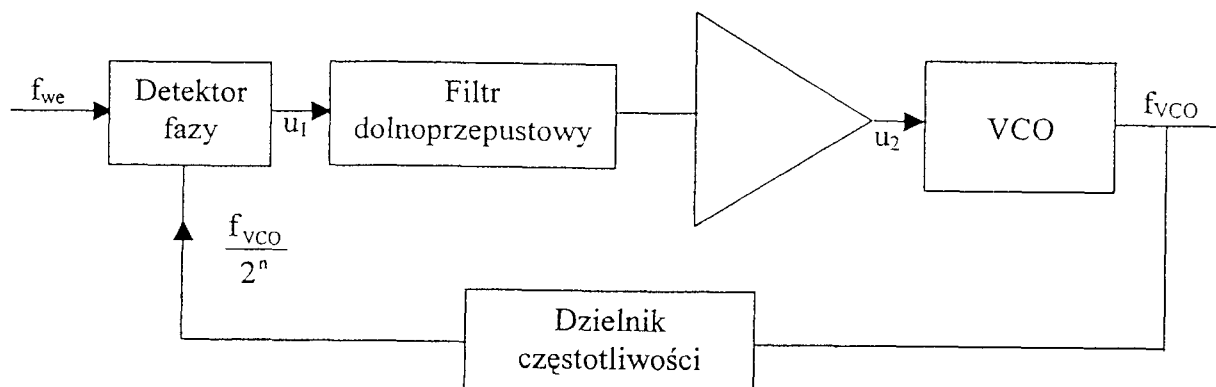


## BADANIE PĘTLI FAZOWEJ (PLL)

### 1. Przygotowania pętli fazowej do pracy

Pętla fazowa (PLL – Phase Locked Loop) jest układem śledzącym ze sprzężeniem zwrotnym (rys. )



Rys. Klasyczna pętla fazowa

VCO – generator sterowany napięciem (Voltage Controlled Oscillator),  $f_{VCO}$  – częstotliwość generatora sterowanego napięciem,  $2^n$  – podział dzielnika częstotliwości.

Generator VCO sterowany napięciem, przy zastosowaniu jako dzielnika częstotliwości układu CD4024, MCY4024, po zsynchronizowaniu pętli fazowej generuje sygnały o częstotliwości

$$f_{VCO} = f_{we} 2^n; \quad n = 1, \dots, 7$$

gdzie:  $f_{VCO}$  – częstotliwość generatora sterowanego napięciem,

$f_{we}$  – częstotliwość powielanego sygnału wejściowego,

$2^n$  – podział dzielnika częstotliwości (dla układu CD 4024  $n = 1, 2, 3, \dots, 7$ ).

Częstotliwość  $f_{VCO}$  generatora, dla wybranej wartości  $n$ , określa się na podstawie wzorów (3 – 15) i (3 – 16).

$$f_{VCO_{min}} = \frac{1}{R_2(C_1 + 32[pF])}$$

$$f_{VCO_{max}} = \frac{1}{R_2(C_1 + 32[pF])}$$

Parametry filtra dolnoprzepustowego, który jest układem RC o charakterystyce przenoszenia

$$H(f) = \frac{1}{1 + j \frac{f}{2\pi RC}} \quad (3-12)$$

dobiera się w oparciu o wzór

$$\Delta f_{CH} \approx 2 \sqrt{\frac{1}{2\pi RC} \Delta f_T} \quad (3-14)$$

gdzie:  $\Delta f_{CH}$  – zakres chwytania (zaskoku) petli

$\Delta f_T$  – zakres trzymania petli.

Po przekształceniu powyższego wzoru otrzymano

$$RC \approx \frac{2}{\pi} \frac{\Delta f_T}{\Delta f_{CH}^2}$$

Jeżeli przyjmiemy, że

$$\frac{\Delta f_T}{\Delta f_{CH}^2} = \frac{1}{\frac{2}{\pi}}, \quad \text{to} \quad \frac{\Delta f_T}{\Delta f_{CH}} = \frac{1}{\sqrt{\frac{2}{\pi}}} = 1,25$$

to iloczyn  $RC \approx 1$

Na podstawie tej zależności wyznaczamy wartości filtru dolnoprzepustowego. Z drugiej strony stała czasowa  $RC$  ze względu na spełnienie warunku stabilności petli fazowej

$$RC < \frac{1}{k_\phi A k_\omega} = \frac{1}{\frac{\Delta u_1}{\Delta \left( f_{we} - \frac{f_{VCO}}{2^n} \right)} u_1 \frac{u_2 \Delta f_{VCO}}{\Delta u_2}}$$

gdzie:  $k_\phi$  - stała detektora fazy,

$A$  – stała przetwarzania wzmacniacza i filtru dolnoprzepustowego (w obszarze płaskiej charakterystyki),

$k_\omega$  - stała generatora VCO.

Stałą  $RC$  najczęściej dobiera się eksperymentalnie.

## 2. Pomiary i obserwacje napięć w petli

2.1. Przeprowadzić obserwacje napięć w charakterystycznych punktach petli przy

włączonych komparatorach (detektorach fazy)

- typ I ( $E_x - OR$ )
- typ II (porównujący zbocza narastające sygnałów)

2.2. Wyznaczyć zakresy

- chwytania (zaskoku) petli,
- trzymania petli

dla kilku wartości wzmocnienia wzmacniacza włączonego między filtr dolnoprzepustowy, a generator sterowany napięciem. Równocześnie należy zmierzyć różnice faz sygnałów podawanych na wejścia detektora fazy.

następuje wtedy, gdy wejścia  $A_R$  i  $M_R$  po włączeniu napięcia zasilania są w stanie niskim. Warunkiem poprawnej pracy układu automatycznego zerowania jest zasilanie tajmera napięciem z przedziału od 7,5 do 18 V. Niekorzystnym efektem związanym z pracą układu automatycznego zerowania jest znaczny wzrost spoczynkowego prądu zasilania.

Drugi rodzaj zerowania polega na podaniu na wejście  $M_R$  układu stanu wysokiego. Stan wysoki na wejściu  $M_R$  powoduje wyzerowanie układu niezależnie od stanu pozostałych wejść sterujących. Podczas zerowania następuje również zatrzymanie pracy oscylatora. Ten rodzaj zerowania jest niezależny od pracy układu automatycznego zerowania i jest skuteczny w całym zakresie napięć zasilania tajmera (od 3 do 18 V).

Rodzaje pracy układu 4541

Tablica 3.26

Wejścia				Rodzaj pracy
$A_R$	$M_R$	$S_{Q/\bar{Q}}$	$Mode$	
1	0	X	X	Zmniejszony pobór mocy
0	0	X	X	Automatyczne zerowanie po włączeniu zasilania.
X	1	X	X	Wyzerowanie dzielnika, zatrzymanie pracy oscylatora.
X	0	X	1	Praca astabilna. Układ dzieli częstotliwość oscylatora lub generatora zewnętrznego przez $2^n$ .
X	0	1	0	Praca monostabilna. Po zliczeniu $2^{n-1}$ impulsów zmienia się stan wyjścia układu z 1 na 0.
X	0	0	0	Praca monostabilna. Po zliczeniu $2^{n-1}$ impulsów zmienia się stan wyjścia układu z 0 na 1.
X	połączone z wyjściem układu	0	X	Praca stabilna. Układ generuje krótkie impulsy dodatnie ze współczynnikiem podziału $2^{n-1}$ .

Rozróżnia się dwa podstawowe rodzaje pracy tajmera (tablica 3.26), a mianowicie:

- praca monostabilna,
- praca astabilna.

Praca monostabilna rozpoczyna się w chwili podania stanu niskiego na wejście  $Mode$ . Wyjście układu zmienia stan po czasie:

$$T = \frac{2^{n-1}}{f}$$

gdzie:

- $n$  – liczba stopni podziału dzielnika,
- $f$  – częstotliwość oscylatora lokalnego lub generatora zewnętrznego i pozostaje w tym stanie do chwili wyzerowania dzielnika ( $M_R = 0$ ).

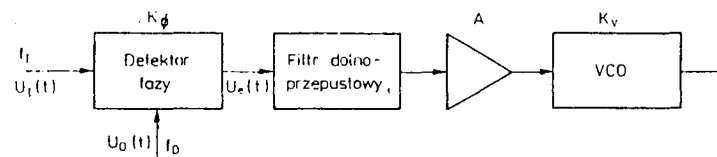
Na wejściu  $S_{Q/\bar{Q}}$  powinien być taki stan, jaki chcemy uzyskać na wyjściu układu ( $OUT$ ) w czasie generacji monoimpulsu.

Praca astabilna układu 4541 polega na dzieleniu częstotliwości oscylatora lub generatora zewnętrznego. Jeśli  $Mode = 1$  i  $M_R = 0$ , to na wyjściu układu otrzymujemy przebieg o współczynniku podziału równym  $2^n$  i współczynniku wypełnienia 1:2. Dokładniej zostanie przedstawiona praca astabilna o współczynniku podziału  $2^{n-1}$  [26].

Ten rodzaj pracy układu uzyskuje się wówczas, gdy wyjście układu  $OUT$  zostanie połączone z wejściem zerującym  $M_R$ , natomiast na wejściu  $S_{Q/\bar{Q}}$  zostanie podany stan niski, tak aby generacja rozpoczynała się od niskiego stanu na wyjściu układu. W tej sytuacji, po zliczeniu  $2^{n-1}$  impulsów, następuje zmiana stanu z niskiego na wysoki na wyjściu układu, a tym samym i na wejściu  $M_R$ . Pojawienie się stanu wysokiego na wejściu  $M_R$  powoduje wyzerowanie układu i powtórzenie cyklu zliczania. Czas trwania impulsu generowanego na wyjściu układu jest równy opóźnieniu sygnału od wejścia  $M_R$  do wyjścia  $OUT$  (ok. 1  $\mu$ s). Ten rodzaj pracy układu rozszerza możliwości jego zastosowania, gdyż zapewnia współczynniki podziału:  $2^7$ ,  $2^9$ ,  $2^{12}$ ,  $2^{15}$ .

### 3.13. Układy PLL

Pętla fazowa PLL (ang.: *Phase – Locked Loop*) jest układem śledzącym ze sprzężeniem zwrotnym. Pętle fazowe (rys. 3.145) składają się zwykle z detektora



Rys. 3.145. Klasyczna pętla fazowa

fazy, filtru pętlowego oraz generatora sterowanego napięciem – *VCO* (ang.: *Voltage Controlled Oscillator*).

Detektor fazy porównuje fazy dwu sygnałów: wejściowego  $U_1(t)$  i generatora  $VCO$  –  $U_o(t)$ . Napięcie na wyjściu detektora wyraża się zależnością:

$$U_e(t) = K_\phi \left[ \Delta\Phi(t) - \frac{\pi}{2} \right] \quad (3-6)$$

gdzie:

- $K_\phi$  – współczynnik wzmocnienia detektora fazy,
- $\Delta\Phi(t)$  – różnica faz sygnałów  $U_1(t)$  i  $U_o(t)$ .

Napięcie wyjściowe detektora jest filtrowane przez filtr dolnoprzepustowy, który tłumi częstotliwości  $f_i$  i  $f_o$  oraz składowe harmoniczne. Ponadto filtr ten tłumi wyższe składowe widma szumów określając tym samym właściwości szumowe

pętli. Napięcie z wyjścia filtru (ewentualnie po wzmacnieniu  $A$ ) steruje częstotliwością drgań generatora  $VCO$  tak, że:

$$f(t) = f_0 + K_V A U_e(t) \quad (3-7)$$

gdzie:

$f_0$  – środkowa częstotliwość zakresu generatora,

$K_V$  – współczynnik przekształcenia napięcie – częstotliwość generatora.

Napięcie sterujące  $U_e(t)$  zmniejsza różnicę częstotliwości sygnału wejściowego i generatora. Różnicę faz między tymi sygnałami można wyznaczyć ze wzoru:

$$\Delta\Phi = \frac{\pi}{2} + \frac{f_1 - f_0}{K_V K_\Phi A} \quad (3-8)$$

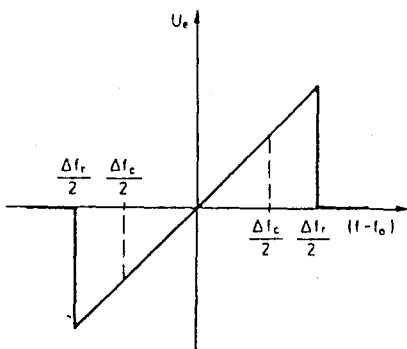
Maksimum napięcia na wyjściu detektora równa się  $\pm K_\Phi \frac{\pi}{2}$ . Zatem jednostronna maksymalna zmiana częstotliwości pętli wynosi:

$$(f_1 - f_0)_{\max} = \pm \frac{\pi}{2} K_\Phi K_V A \quad (3-9)$$

Zakres zmian częstotliwości od  $-\frac{\pi}{2} K_\Phi K_V A$  do  $+\frac{\pi}{2} K_\Phi K_V A$  wyznacza pasmo trzymania pętli:

$$\Delta f_T = \pi K_\Phi K_V A \quad (3-10)$$

Pasmo trzymania jest symetrycznie ułożone względem częstotliwości  $f_0$  (rys. 3.146).



Rys. 3.146.  
Pasma trzymania i chwytania pętli

Gdy pętla jest zsynchronizowana, napięcie wyjściowe jest stałe. Przy braku synchronizacji między częstotliwościami sygnału wejściowego i generatora, napięcie na wyjściu detektora zmienia się z szybkością:

$$\frac{d\Phi(t)}{dt} = 2\pi(f_1 - f_0) \quad (3-11)$$

Jeśli filtr pętlowy jest układem  $RC$ , to jego charakterystyka przenoszenia ma postać:

$$H(f) = \frac{1}{1 + j\left(\frac{f}{f_1}\right)} \quad (3-12)$$

gdzie  $f_1 = 1/2(\pi RC)$ . Jeśli  $\Delta f_s \triangleq f_1 - f_0 > 3f_1$ , to  $H(f) \approx f_1/\Delta f_s$ .

Napięcie sterujące generatora  $VCO$  ma wartość maksymalną równą  $\pm \frac{\pi}{2} K_\Phi A f_1/\Delta f_s$ . Dopuszczalne rozstrojenie sygnału wejściowego i  $VCO$  nie powinno przekroczyć wartości:

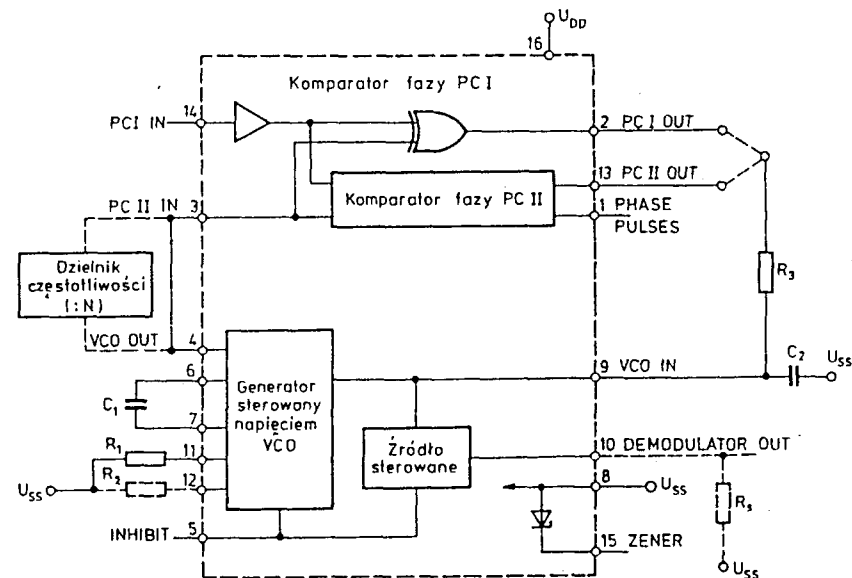
$$(f_1 - f_0)_{\max} = \pm \frac{\pi}{2} K_\Phi K_V A \frac{f_1}{\Delta f_s} \quad (3-13)$$

Przedział wyznaczony tymi wartościami nosi nazwę pasma chwytania pętli (rys. 3.146). Pasmo chwytania pętli  $\Delta f_c$  jest zazwyczaj mniejsze od pasma trzymania, co widać ze wzoru:

$$\Delta f_c \approx 2\sqrt{f_1 \Delta f_T} \quad (3-14)$$

Pasmo chwytania pętli można zwiększyć poszerzając pasmo przenoszenia filtru pętlowego. Prowadzi to jednak do zmniejszenia odporności układu na zakłócenia. Dlatego w wielu przypadkach pasmo filtru przyjmuje się na drodze kompromisu między pasmem chwytania pętli a jej odpornością na zakłócenia.

W skład serii 4000B wchodzi układ 4046 (rys. 3.147) składający się z:



Rys. 3.147. Schemat funkcjonalny układu scalonego 4046

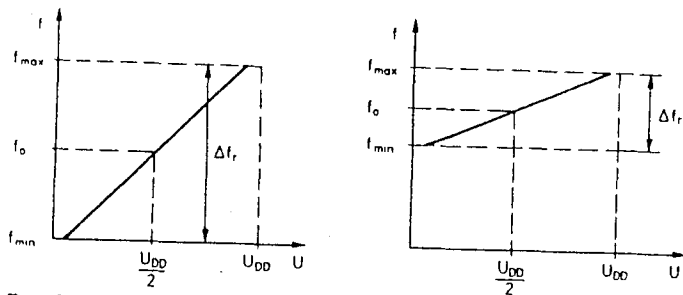
- liniowego generatora strojonego napięciem – VCO,
- dwóch komparatorów fazy o różnych charakterystykach,
- sterowanego źródła napięcia odniesienia,
- diody Zenera o napięciu regulacji 5,2 V.

Podstawowym elementem pętli jest generator VCO, który zapewnia liniowość przekształcenia napięcie–częstotliwość lepszą niż 1%. Minimalna wartość częstotliwości generatora oraz zakres zmian częstotliwości wyznaczone są przez elementy zewnętrzne – kondensator  $C_1$  oraz rezystory  $R_1$  i  $R_2$ . Elementy  $R_1$  i  $C_1$  determinują zakres zmian częstotliwości. Za pomocą rezystora  $R_2$  wprowadza się stałe przesunięcie częstotliwości, wyznaczając tym samym jej wartość minimalną. Orientacyjne wartości  $f_{min}$  i  $f_{max}$  generatora VCO można wyznaczyć ze wzorów:

$$f_{min} = \frac{1}{R_2(C_1 + 32[\text{pF}])}; \quad U_I = U_{SS} \quad (3-15)$$

$$f_{max} = \frac{1}{R_1(C_1 + 32[\text{pF}])}; \quad U_I = U_{DD} \quad (3-16)$$

Częstotliwość  $f_{min}$  zmniejsza się ze wzrostem  $R_2$  i przy  $R_2 = \infty$  osiąga minimum minimum. Charakterystyki przestrajania generatora VCO są przedstawione na rys. 3.148. Zaleca się stosowanie elementów zewnętrznych generatora o wartościach zawierających się w przedziałach przedstawionych w tabelicy 3.27.



Rys. 3.148. Charakterystyki przestrajania VCO  
a)  $R_2 = \infty$ , b)  $R_2 \neq \infty$

Przedziały zalecanych wartości elementów zewnętrznych VCO

Element	Wartość	Warunki $U_z$ [V]
Rezystor $R_1$	$10 \text{ k}\Omega \leq R_1 \leq 1 \text{ M}\Omega$	$\geq 5$
Rezystor $R_2$	$10 \text{ k}\Omega \leq R_2 \leq 1 \text{ M}\Omega$	
Kondensator $C_1$	$100 \text{ pF} \leq C_1 \leq 0,01 \text{ }\mu\text{F}$	$\geq 10$
Kondensator $C_1$	$50 \text{ pF} \leq C_1 \leq 0,01 \text{ }\mu\text{F}$	

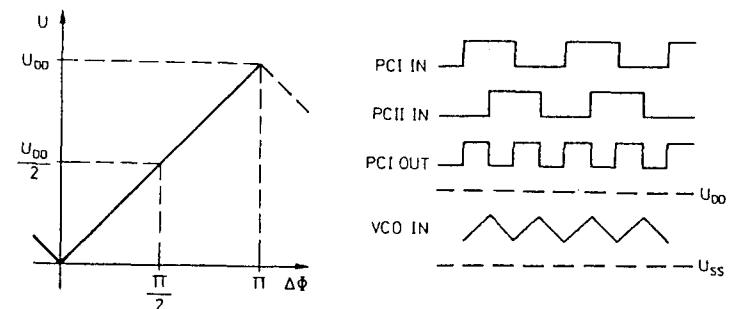
Wartości elementów  $R_1$ ,  $R_2$  i  $C_1$  można wyznaczyć przy założonych wartościach  $f_0$  lub  $f_{max}$  ( $f_0 = f_{max}/2$ ) ewentualnie  $f_{min}$  ( $f_{min} = f_0 - \Delta f_T/2$ ), posługując się zależnościami:  $f_0(C_1)$  przy  $R_2 = \infty$  oraz przy parametrach  $R_1$  i  $U_{DD}$  lub  $f_{min}(C_1)$  przy parametrach  $R_2$  i  $U_{DD}$  (rys. 3.152 i 3.153). W drugim przypadku, w celu wyznaczenia wartości rezystora  $R_1$  można posłużyć się zależnością  $f_{max}/f_{min}$  od  $R_2/R_1$  [29] ( $f_{max} = f_{min} + \Delta f_T = f_0 + \Delta f_T/2$ ).

Napięcie sterujące częstotliwością generatora jest podawane z wyjścia filtru dolnoprasmowego  $R_3$ ,  $C_2$ . Duża impedancja wejściowa generatora (rzędu  $10^{12} \Omega$ ) ułatwia zaprojektowanie filtru, umożliwiając wybór wartości jego elementów w szerokim zakresie (np. przyjęcie małych wartości pojemności  $C_1$ ). Użytkowymi sygnałami mogą być zarówno sygnał z wyjścia generatora, jak i z wyjścia filtru dolnoprasmowego. Ten drugi sygnał jest użyteczny zwłaszcza w układzie demodulatora częstotliwości. Aby nie obciążać niepotrzebnie filtru, sygnał błędu (zdemodulowany) można uzyskać z wyjścia źródła sterowanego (ang. SF – Source Follower), które służą do separacji wejścia VCO od innych układów wykorzystujących ten sygnał. W tym przypadku należy wyjście DEMODULATOR OUT obciążyć rezystorem  $R_s$  dołączonym do  $U_{SS}$ . Typowa wartość tego rezystora wynosi 10 k $\Omega$ . Jeżeli wyjście 10 nie jest wykorzystywane, nie należy go obciążać.

Układ 4046 ma wejście INHIBIT, za którego pomocą można wyłączyć (stan 1) generator VCO i źródło SF, zmniejszając moc pobieraną przez układ.

Sygnał z wyjścia generatora może być podawany na wejście komparatorów fazy bezpośrednio lub przez zewnętrzny dzielnik częstotliwości ze stopniem podziału  $N$  (w ogólności zmiennym). Wówczas częstotliwość generatora będzie  $N$  razy większa od częstotliwości wejściowej. Dzielnik może być zbudowany z układów CMOS (np. 4017, 4018, 4029, 4059).

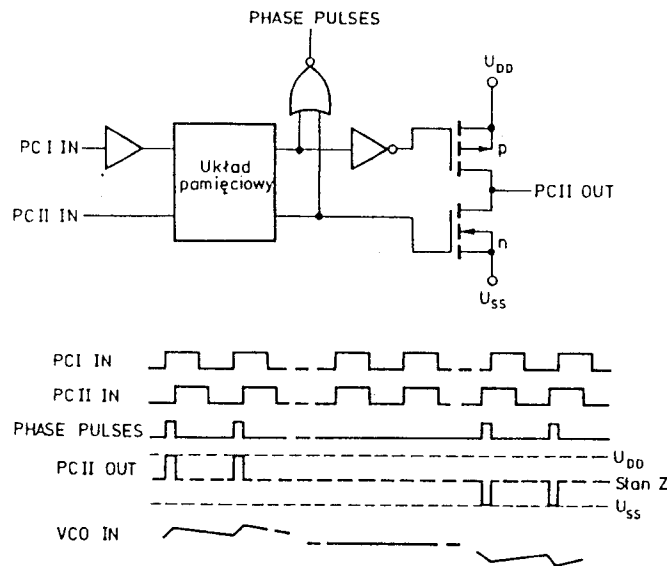
Układ 4046 ma dwa komparatory fazy: PC I i PC II z połączonymi wejściami, oznaczonymi na rys. 3.147 przez PC I IN i PC II IN. Wejście sygnałowe (PC I IN) jest wejściem wzmacniacza napięciowego z układem automatycznej polaryzacji, dzięki któremu układ może pracować z sygnałami analogowymi o małych poziomach. Komparator typu I jest prostą bramką Ex-OR i pracuje na zasadzie modulatora zrównoważonego (czterocwartko-



Rys. 3.149. Przebiegi czasowe i charakterystyka statyczna komparatora PC I

wego układu mnożącego). Jest on wykorzystywany do porównania faz sygnałów o współczynniku wypełnienia 0,5. Charakterystyka statyczna tego komparatora wraz z filtrem małej częstotliwości jest przedstawiona na rys. 3.149. Przy braku sygnału na wejściu komparator ten utrzymuje średnie napięcie wyjściowe równe  $U_{DD}/2$ . Napięcie to, podawane przez filtr na wejście generatora  $VCO$ , wymusza jego częstotliwość środkową  $f_0$ . Przesunięcie fazy dla tej częstotliwości jest równe  $\pi/2$  [rad]. Układ charakteryzuje się liniową charakterystyką w całym zakresie zmian fazy  $0 \div \pi$ . Cechą charakterystyczną układu PLL z komparatorem typu I jest możliwość zsynchronizowania się pętli do harmonicznej częstotliwości środkowej generatora  $VCO$ .

Komparator fazy  $PC II$  jest cyfrowo sterowanym układem pamięciowym i zawiera cztery przerzutniki, układ sterujący oraz trójstanowy układ wyjściowy zbudowany na dwóch tranzystorach: typu  $n$  i  $p$ . Uproszczony schemat komparatora wraz z przebiegami czasowymi jest przedstawiony na rys. 3.150. Komparator ten jest czuły jedynie na zbocza narastające sygnałów

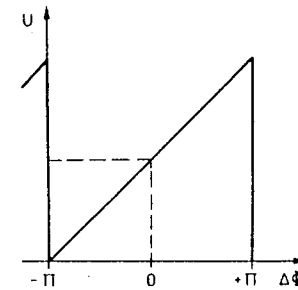


Rys. 3.150. Uproszczony schemat i przebiegi czasowe komparatora  $PC II$

na wejściach, dlatego współczynnik wypełnienia tych sygnałów nie wpływa na pracę komparatora. Zależnie od tego, czy zbocza sygnału generatora  $VCO$  poprzedzają zbocza sygnału wejściowego, czy następują po nich, na odpowiednich wyjściach układu logicznego pojawiają się impulsy, których czas trwania jest proporcjonalny do opóźnienia między sygnałami. Jeśli faza sygnału wejściowego wyprzedza fazę sygnału generatora  $VCO$ , to wyjście jest w stanie 1 (napięcie  $U_{DD}$  podawane przez wysterowany tranzystor typu  $p$ ). W prze-

ciwnym przypadku jest wysterowany tranzystor typu  $n$ , a wyjście ma potencjał  $U_{SS}$  (stan 0). Wyjściowy sygnał błędu o poziomie 1 lub 0 i czasie trwania równym przesunięciu między zboczami sygnałów wejściowych powoduje rozładowanie (przeładowanie) kondensatora w filtrze dolnoprzepięciowym. Napięcie z wyjścia filtru przestawia  $VCO$ , zmniejszając różnicę

Dla tego typu komparatora pętla jest zsynchronizowana, gdy przesunięcie faz sygnału wejściowego i  $VCO$  jest równe 0 (rys. 3.151). Wówczas oby



Rys. 3.151. Charakterystyka statyczna komparatora I

tranzystory są zablokowane i wyjście komparatora jest w stanie wysokiej impedancji ( $HZ$ ). W tym stanie utrzymuje się stałe napięcie na kondensatorze, zmniejsza się moc rozpraszana przez filtr. Ponadto stan  $HZ$  na wyjściu sygnalizuje stan synchronizacji pętli. Należy pamiętać, że przy stosowaniu komparatora  $PC II$  zakresy chwytania i trzymania pętli są jednakowe i zależą od filtra. Przy braku sygnału na wejściu,  $VCO$  generuje sygnał o najniższej częstotliwości zakresu przestawiania. Komparator  $PC II$  na wyjściu  $PHASE PULSES$ , na którym pojawiają się impulsy z wyjścia układu porównania faz sygnałów. Brak impulsów na tym wyjściu świadczy o niesynchronizowaniu pętli.

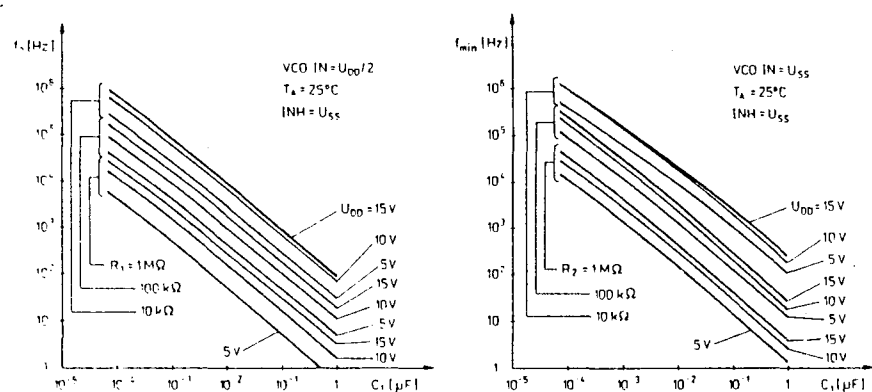
Porównanie właściwości pętli z obydwoma typami komparatorów zawarte jest w tabeli 3.28. Istnieje jeszcze jedna zasadnicza różnica między obydwoma układami. Komparator II generuje impulsy wyjściowe tylko wtedy,

Porównanie właściwości pętli z komparatorami  $PC I$  i  $PC II$  Tabela 3.28

Parametr	Komparator	
	typ I (Ex-OR)	typ II
Współczynnik wypełnienia	50% optymalny	bez znaczenia
Synchronizacja na harmonicznym	tak	nie
Właściwości szumowe	dobrze	słabo
Pasma trzymania $\Delta f_T$	cały zakres $VCO$	
Pasma chwytania	$\leq \Delta f_T$	$= \Delta f_T$
Częstotliwość swobodna	$f_0$	$f_{min}$

występuje różnica faz między sygnałami. W pozostałym czasie kondensator filtra pracuje z wysoką impedancją jako układ pamiętający, utrzymujący właściwą częstotliwość VCO. Na wyjściu komparatora I sygnał jest generowany ciągle, a filtr pętlowy pracuje jako wygładzający filtr dolnoprasmowy. Ciągłe zmiany napięcia sterującego VCO dają w konsekwencji zmiany fazy tego generatora. W układach powielaczy częstotliwości i syntezerów jest to źródło dodatkowych błędów, tj. pasywności modułacji fazy.

W celu pełniejszego scharakteryzowania właściwości rozpatrywanego układu, na rys. 3.152 i 3.153 przedstawiono jego wybrane charakterystyki.



Rys. 3.152. Zależność  $f_0 = f(C_1)$  przy  $R_2 = \infty$

Rys. 3.153. Zależność  $f_{min} = f(C_1)$  przy  $R_2 \neq \infty$

Tablica 3.29 zawiera wybrane parametry statyczne, a tablica 3.30 parametry dynamiczne układów 4046.

Pętle fazowe znalazły szerokie zastosowanie w wielu dziedzinach, m.in. w telekomunikacji i teledzielnictwie. W szczególności układy PLL są stosowane w układach:

- modulatorów i demodulatorów FM,
- dyskryminatorów częstotliwości,
- powielaczy i syntezerów częstotliwości,
- przetworników napięcie/częstotliwość,
- modemów FSK,
- synchronizacji fazy.

W demodulatorze FM układ PLL jest dostrojony do częstotliwości sygnału odbieranego. Generator VCO śledzi zmiany częstotliwości. Napięcie na jego wejściu odpowiada sygnałowi zdemodulowanemu. Na rysunku 3.154 jest przedstawiony przykład demodulatora dla częstotliwości nośnej 10 kHz i maksymalnej dewiacji 400 Hz, wyznaczonej pasmem trzymania pętli ( $R_3 = 100 \text{ k}\Omega$ ,  $C_2 = 0,1 \text{ }\mu\text{F}$ ). Całkowity pobór prądu przez układ zależy od stosunku mocy sygnał/szum ( $S/N$ ) na wejściu i wynosi  $132 \text{ }\mu\text{A}$  dla  $S/N = 4 \text{ dB}$ ,

Parametry statyczne układów MCY 74046N i MCY 64046N

Tablica 3.29

Parametr	Oznaczenie	Jedn.	Wartość					Warunki pomiaru			
			$T_{Amin}^{1)}$	25°C			$T_{Amax}^{1)}$	$U_o$ [V]	$U_I$ [V]	$U_{DD}$ [V]	
				min	typ	max					
Spoczynkowy prąd zasilania przy:	PCI IN nie podłączonym INH = $U_{DD}$	$I_{DD}$	mA	0,1	—	0,05	0,1	0,1	—	0; 5	5
				0,5	—	0,25	0,5	0,5	—	0; 10	10
				1,5	—	0,75	1,5	1,5	—	0; 15	15
				4	—	2,00	4	4	—	0; 20	20
	PCI IN = $U_{SS}$ lub $U_{DD}$ INH = $U_{DD}$	$I_{DD}$	$\mu\text{A}$	20	—	10	20	20	—	0; 5	5
				40	—	20	40	40	—	0; 10	10
Prąd wyjściowy w stanie niskim	$I_{OL}$	mA	0,64	0,51	1	—	0,36	0,4	0; 5	5	
			1,6	1,3	2,6	—	0,9	0,5	0; 10	10	
			4,2	3,4	6,8	—	2,4	1,5	0; 15	15	
Prąd wyjściowy w stanie wysokim	$I_{OH}$	mA	-0,64	-0,51	-1	—	-0,36	4,6	0; 5	5	
			-2	-1,6	-3,2	—	-1,15	2,5	0; 5	5	
			-1,6	-1,3	-2,6	—	-0,9	9,5	0; 10	10	
			-4,2	-3,4	-6,8	—	-2,4	13,5	0; 15	15	
Napięcie wyjściowe w stanie niskim	$U_{OL}$	V	0,05	—	0	0,05	0,05	—	0; 5	5	
			0,05	—	0	0,05	0,05	—	0; 10	10	
			0,05	—	0	0,05	0,05	—	0; 15	15	
Napięcie wyjściowe w stanie wysokim	$U_{OH}$	V	4,95	4,95	5	—	4,95	—	0; 5	5	
			9,95	9,95	10	—	9,95	—	0; 10	10	
			14,95	14,95	15	—	14,95	—	0; 15	15	
Napięcie wejściowe w stanie niskim	$U_{IH}$	V	1,5	—	—	1,5	1,5	0,5:4,5	—	5	
			3	—	—	3	3	1:9	—	10	
			4	—	—	4	4	1,5:13,5	—	15	
Napięcie wejściowe w stanie wysokim	$U_{IH}$	V	3,5	3,5	—	—	3,5	0,5:4,5	—	5	
			7	7	—	—	7	1:9	—	10	
			11	11	—	—	11	1,5:13,5	—	15	
Prąd wejściowy	$I_I$	$\mu\text{A}$	$\pm 0,1$	—	$\pm 10^{-5}$	$\pm 0,1$	$\pm 1$	—	0; 18	18	
Prąd upływu wyjścia 3-stanowego	$I_{LOZ}$	$\mu\text{A}$	$\pm 0,4$	—	$\pm 10^{-4}$	$\pm 0,4$	$\pm 12$	—	0; 18	18	

Uwaga: Wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez dołączenie do  $U_{SS}$  lub  $U_{DD}$ , z wyjątkiem wejścia PCI IN.

<sup>1)</sup>  $T_{Amin} = 0^\circ\text{C}$ ;  $T_{Amax} = +70^\circ\text{C}$  dla serii MCY 74...N.

$T_{Amin} = -40^\circ\text{C}$ ;  $T_{Amax} = +85^\circ\text{C}$  dla serii MCY 64...N.

Parametry dynamiczne układów MCY 74046N i MCY 64046N  
(przy  $T_A = +25^\circ\text{C}$ ;  $t_r = t_f = 20 \text{ ns}$ ;  $C_L = 50 \text{ pF}$ ;  $R_L = 200 \text{ k}\Omega$ )

Tablica 3.30

Parametr	Ozna- czenie	Jedn.	$U_{DD}$	Wartość			Warunki pomiaru	
				min	typ	max		
1	2	3	4	5	6	7	8	
Generator VCO przestrajany napięciem								
Maksymalna częstotliwość generacji VCO	$f_{max}$	MHz	5	0,3	0,6	—	$C_1 = 50 \text{ pF}$ $R_2 = \infty$ ; $R_1 = 10 \text{ k}\Omega$ $VCO \text{ IN} = U_{DD}$	
			10	0,6	1,2	—		
			15	0,8	1,6	—		
			5	0,5	0,8	—		$C_1 = 50 \text{ pF}$ $R_2 = \infty$ ; $R_1 = 5 \text{ k}\Omega$ $VCO \text{ IN} = U_{DD}$
			10	1	1,4	—		
			15	1,4	2,4	—		
Współczynnik liniowości	$\epsilon$	%	5	—	1,7	—	$VCO \text{ IN} = 2,5 \text{ V} \pm 0,3 \text{ V}$ ; $R_1 = 10 \text{ k}\Omega$ $VCO \text{ IN} = 5 \text{ V} \pm 4 \text{ V}$ ; $R_1 = 100 \text{ k}\Omega$ $VCO \text{ IN} = 5 \text{ V} \pm 2,5 \text{ V}$ ; $R_1 = 400 \text{ k}\Omega$ $VCO \text{ IN} = 7,5 \text{ V} \pm 1,5 \text{ V}$ ; $R_1 = 100 \text{ k}\Omega$ $VCO \text{ IN} = 7,5 \text{ V} \pm 5 \text{ V}$ ; $R_1 = 1 \text{ M}\Omega$	
			10	—	0,5	—		
			10	—	4	—		
			15	—	0,5	—		
			15	—	7	—		
Temperaturowy współczynnik stabilności częstotliwości	TWF	%/°C	5	—	$\pm 0,12$	—	$f_{min} = 0$	
			10	—	$\pm 0,04$	—		
			15	—	$\pm 0,015$	—		
			5	—	$\pm 0,09$	—	$f_{min} \neq 0$	
			10	—	$\pm 0,07$	—		
			15	—	$\pm 0,03$	—		
Współczynnik wypełnienia	D	%	5	—	50	—		
			10	—	50	—		
			15	—	50	—		
Czas przełączania	$t_{THL}$ $t_{TLH}$	ns	5	—	100	200		
			10	—	50	100		
			15	—	40	80		
Źródło sterowane SF								
Napięcie niezrównoważenia ( $U_{VCO \text{ IN}} - U_{DEM}$ )	U	V	5	—	1,8	2,5	$R_S > 10 \text{ k}\Omega$	
			10	—	1,8	2,5		
			15	—	1,8	2,5		
Współczynnik liniowości	$\epsilon$	%	5	—	0,3	—	$R_S = 100 \text{ k}\Omega$ ; $VCO \text{ IN} = 1,5 \text{ V} \pm 0,3 \text{ V}$ $R_S = 300 \text{ k}\Omega$ ; $VCO \text{ IN} = 5 \text{ V} \pm 2,5 \text{ V}$ $R_S = 500 \text{ k}\Omega$ ; $VCO \text{ IN} = 7,5 \text{ V} \pm 5 \text{ V}$	
			10	—	0,7	—		
			15	—	0,9	—		
Komparatory fazy (PC I i PC II)								
Rezystancja wejściowa PC I IN	$R_{1,4}$	M $\Omega$	5	1	2	—		
			10	0,2	0,4	—		
			15	0,1	0,2	—		

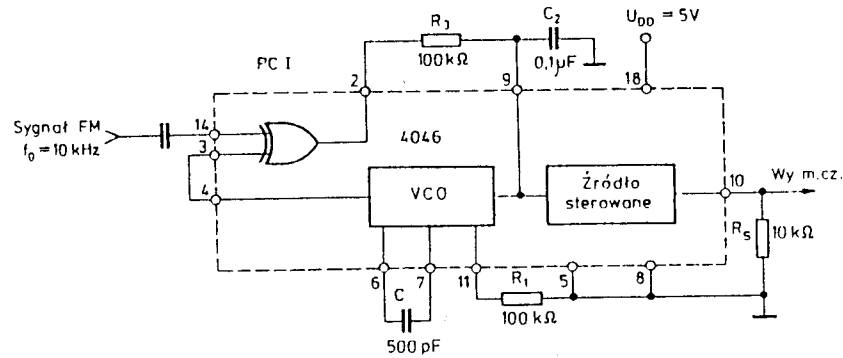
cd. tabl

1	2	3	4	5	6	7	8			
Czułość napięciowa wejścia PC I IN (p-p)		mV	5	—	180	360	$f_{IN} = 100 \text{ kHz}$ sygnał sinusoidalny			
			10	—	330	660				
			15	—	900	1800				
Czas propagacji PC I IN do PC II OUT	$t_{PHL}$	ns	5	—	225	450				
			10	—	100	200				
			15	—	65	130				
	$t_{PLH}$	ns	5	—	350	700				
			10	—	150	300				
			15	—	100	200				
Czas propagacji PC I IN do PC II OUT w stanie dużej impedancji	$t_{PHZ}$	ns	5	—	225	450				
			10	—	100	200				
			15	—	95	190				
	$t_{PLZ}$	ns	5	—	285	570				
			10	—	130	260				
			15	—	95	190				
Czas na- rastania i opadania sygnału na wejściu	PC II IN			$t_r, t_f$	$\mu\text{s}$	5	—	—	50	
						10	—	—	1	
						15	—	—	0,3	
	PC I IN				$t_r, t_f$	$\mu\text{s}$	5	—	—	500
							10	—	—	20
							15	—	—	2,5
Czas przełączania	$t_{TLH}$ $t_{THL}$	$\mu\text{s}$	5	—	100	200				
			10	—	50	100				
			15	—	40	80				
Dioda Zenera										
Napięcie stabilizacji	$U_Z$	V	—	4,45	5,5	6,7	$I_Z = 50 \mu\text{A}$			
Rezystancja dynamiczna	$r_Z$	$\Omega$	—	—	40	—	$I_Z = 1 \text{ mA}$			

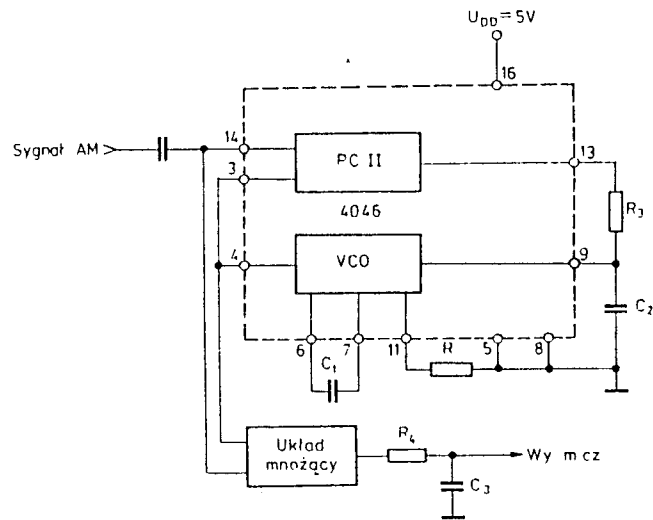
a  $90 \mu\text{A}$  dla  $S/N = 10 \text{ dB}$ . Sygnał wyjściowy jest pobierany ze źródła stałego obciążonego rezystorem  $100 \text{ k}\Omega$ . Układ ma wzmacnienie ok.  $250 \text{ mV}$

Układ PLL może być wykorzystany do detekcji sygnału z modułową amplitudą. Schemat funkcjonalny takiego detektora przedstawiony jest na rys. 3.155. Układ PLL generuje falę prostokątną o częstotliwości równej częstotliwości sygnału odbieranego. Jako układ mnożący można wykonać układ Ex-OR, wówczas między wyjściem VCO a wejściem komparatora włączyć przesuwnik fazy o  $\pi/2$ . Sygnał zdemodulowany uzyskuje się na wyjściu filtru detekcyjnego.



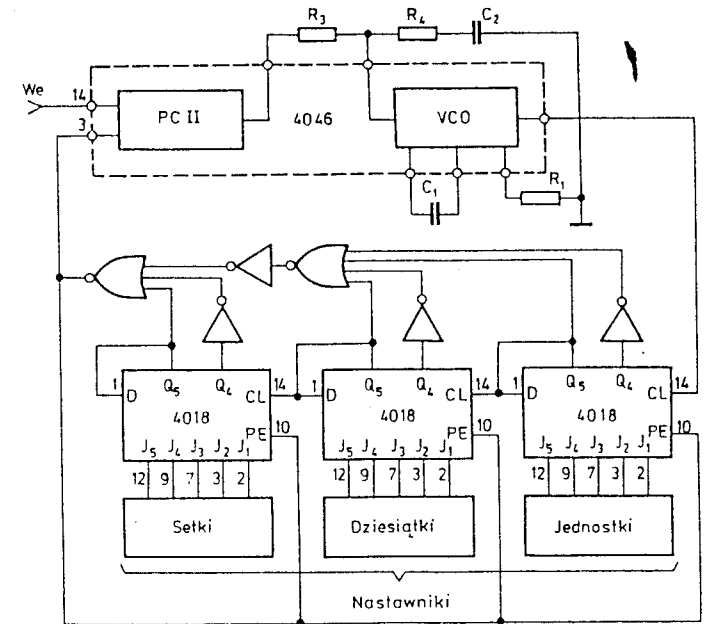


Rys. 3.154. Demodulator FM

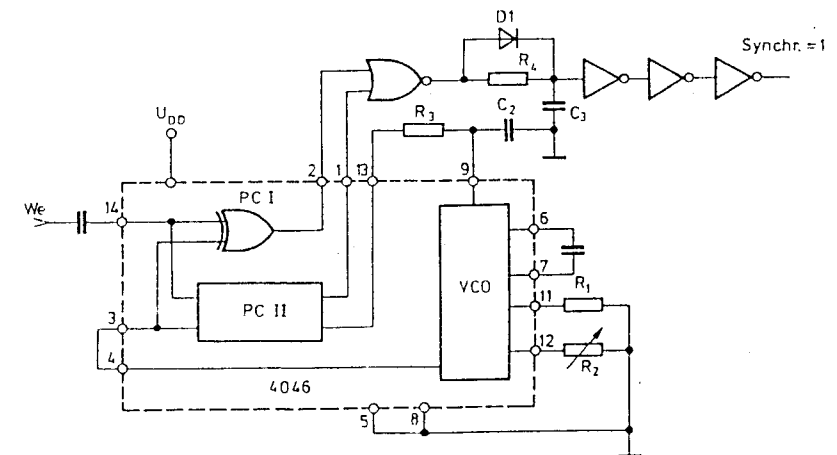


Rys. 3.155.  
Demodulator AM

Przykład zastosowania układu PLL w trzydekadowym syntezerze częstotliwości jest przedstawiony na rys. 3.156. Między wyjściem VCO a wejściem komparatora fazy jest włączony nastawny dzielnik częstotliwości ze stopniem podziału  $N = 3 \div 999$ . Dyskretność częstotliwości jest równa częstotliwości sygnału odniesienia na wejściu (1 kHz). Aby uniknąć synchronizacji na częstotliwościach harmonicznych, w pętli wykorzystano komparator typu II. W niektórych zastosowaniach jest wymagana sygnalizacja stanu synchronizacji pętli. Przykład takiego układu przedstawia rys. 3.157. W pętli dostrojonej do częstotliwości 10 kHz wykorzystywany jest komparator II.



Rys. 3.156. Trzydekadowy syntezer m.cz.



Rys. 3.157. Układ pętli z sygnalizacją dostrojenia